

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yukari TAKATA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: ARBITRATION CIRCUIT AND DATA PROCESSING SYSTEM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

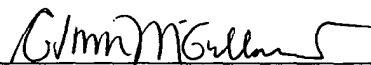
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-340732	November 25, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月25日

出 願 番 号

Application Number:

特願2002-340732

[ ST.10/C ]:

[ JP2002-340732 ]

出 願 人

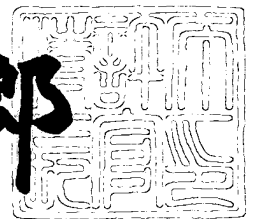
Applicant(s):

三菱電機株式会社

2002年12月17日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3099960

【書類名】 特許願

【整理番号】 541181JP01

【提出日】 平成14年11月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/362

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 高田 由香里

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

【選任した代理人】

    【識別番号】 100088845

    【弁理士】

    【氏名又は名称】 有田 貴弘

【手数料の表示】

    【予納台帳番号】 012852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 調停回路およびデータ処理装置

【特許請求の範囲】

【請求項 1】 共有バスによって接続された複数のバスマスタからのバスアクセス要求を調停する調停回路であって、

前記複数のバスマスタのそれぞれから出力される複数のプライオリティ情報を受け、前記複数のプライオリティ情報を比較し、最もプライオリティの高いマスタを特定してチェック結果を出力するプライオリティチェックブロックと、

ラウンドロビンブロックと、を備え、

前記ラウンドロビンブロックは、

ラウンドロビン制御により、前記複数のバスマスタのバスアクセス要求に対する優先順位を決定するラウンドロビン制御部と、

前記優先順位に基づいて作成され、少なくとも最優先のマスタのデータについてはマスクング対象としないマスクデータを用いて、前記チェック結果のデータをマスクングしてマスク済みチェック結果として出力するラウンドロビンマスク部と、

マスク済みチェック結果および前記チェック結果に基づいて、バスアクセス要求を受け付けるべきバスマスタを選択する最終選択部と、を有する調停回路。

【請求項 2】 前記プライオリティチェックブロックは、

前記複数のプライオリティ情報を 2 つ 1 組で受けて、両者のプライオリティの高低をチェックして、その結果を出力プライオリティとして出力する複数の初段チェック回路と、

前記初段チェック回路からそれぞれ出力される複数の出力プライオリティを 2 つ 1 組で受けて、両者のプライオリティの高低をチェックする少なくとも 1 つの次段チェック回路と、を有する、請求項 1 記載の調停回路。

【請求項 3】 前記チェック結果のデータおよび前記マスクデータは、前記複数のバスマスタのそれぞれに所定の 1 ビットが対応する多ビットデータであり

、  
前記マスクデータは、

前記最優先のマスタに対応するビットより上位のビットがマスクング対象とされ、

前記ラウンドロビンマスク部は、

前記チェック結果のデータと前記マスクデータとの論理演算を行うことで、前記マスク済みチェック結果を得る、請求項 1 記載の調停回路。

【請求項 4】 前記マスク済みチェック結果および前記チェック結果のデータは、前記マスク済みチェック結果のデータが上位側、前記チェック結果のデータが下位側となる連続データとして前記最終選択部に与えられ、

前記最終選択部は、前記連続データの最上位側からサーチして、一番最初に所定の論理値がセットされたビット位置を見つけ、当該ビット位置に割り付けられたバスマスタを、前記要求を受け付けるべきバスマスタとする、請求項 3 記載の調停回路。

【請求項 5】 共有バスによって接続された複数のバスマスタのそれぞれから出力される複数のプライオリティ情報を受けて、バスアクセス要求を調停する調停回路を備えたデータ処理装置であって、

前記複数のバスマスタは、それぞれのプライオリティ情報を生成するプライオリティ生成回路を備え、

前記プライオリティ生成回路は、自らが付属するバスマスタのバスアクセスが受け付けられなかった場合には前記プライオリティ情報をランクアップするデータ処理装置。

【請求項 6】 前記プライオリティ生成回路は、

出力したプライオリティ情報ではバスアクセスが受け付けられなかった場合、前記出力したプライオリティ情報に対する所定値の加算あるいは減算を行って、新たなプライオリティ情報を設定するプライオリティ向上回路を備える、請求項 5 記載のデータ処理装置。

【請求項 7】 前記プライオリティ生成回路は、

前記所定値の設定を行うプライオリティ変更幅設定レジスタをさらに備える、請求項 6 記載のデータ処理装置。

【請求項 8】 前記プライオリティ生成回路は、前記プライオリティ情報の

ランクアップに制限を付加する制限回路をさらに備える、請求項 6 記載のデータ処理装置。

【請求項 9】 共有バスによって接続された複数のバスマスタのそれぞれから出力される複数のプライオリティ情報を受けて、バスアクセス要求を調停する調停回路を備えたデータ処理装置であって、

前記複数のバスマスタは、それぞれのプライオリティ情報を生成するプライオリティ生成回路を備え、

前記プライオリティ生成回路は、バスマスタの動作周波数の変更の際して、複数の動作周波数のそれぞれに対応するプライオリティ情報のうちの 1 つを出力する、データ処理装置。

【請求項 10】 前記プライオリティ生成回路は、

前記複数の動作周波数のそれぞれに対応するプライオリティ情報が予め設定された複数のプライオリティ設定レジスタを備え、

前記バスマスタの動作周波数の変更の際して、前記複数のプライオリティ設定レジスタの何れかの設定値を選んで、前記プライオリティ情報として出力する、請求項 9 記載のデータ処理装置。

【請求項 11】 前記プライオリティ生成回路は、

前記バスマスタの動作周波数の変更の際して、基準となるプライオリティ情報に対する所定値の加算あるいは減算を行って、新たなプライオリティ情報を設定する増減処理回路を備える、請求項 9 記載のデータ処理装置。

【請求項 12】 前記プライオリティ生成回路は、前記新たなプライオリティ情報の最大値および最小値に制限を付加する制限回路をさらに備える、請求項 11 記載のデータ処理装置。

【請求項 13】 共有バスによって接続された複数のバスマスタのそれぞれから出力される複数のプライオリティ情報を受けて、バスアクセス要求を調停する調停回路を備えたデータ処理装置であって、

前記複数のバスマスタは、それぞれのプライオリティ情報を生成するプライオリティ生成回路を備え、

前記プライオリティ生成回路は、バスマスタの状態の変更の際して、複数の状

態のそれぞれに対応するプライオリティ情報のうちの1つを出力する、データ処理装置。

【請求項 1 4】 前記プライオリティ生成回路は、

前記複数の状態のそれぞれに対応するプライオリティ情報が予め設定された複数のプライオリティ設定レジスタを備え、

前記バスマスタの状態の変更に際して、前記複数のプライオリティ設定レジスタの何れかの設定値を選んで、前記プライオリティ情報として出力する、請求項 1 3 記載のデータ処理装置。

【請求項 1 5】 前記複数の状態は、

前記バスマスタ内の中央演算処理装置が分岐命令を検出し、分岐先の命令フェッチ要求を出している状態、

前記中央演算処理装置の命令キューが空の状態、

前記中央演算処理装置内のストアバッファがフルで次のストアが待っている状態の何れかである、請求項 1 3 記載のデータ処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は複数のバスマスタが共有バスで接続されたデータ処理装置において、バスアクセス要求を調停する調停回路に関し、特に、複数のプロセッサが共有バスで接続されるマルチプロセッサにおける調停回路に関する。

【0 0 0 2】

【従来の技術】

複数の I / O モジュールがバスを共有する場合に、各 I / O モジュールからのバスアクセスを調停するために、ラウンドロビン制御と呼称される方式が採用されている。

【0 0 0 3】

ラウンドロビン制御は、各 I / O モジュールのバスアクセスの割合を均等にするため、バスアクセスが許可された I / O モジュールに対しては、アクセスの優先度を最も低くする制御方式である。



【 0 0 0 4 】

ラウンドロビン制御を用いた従来技術としては、例えば、特許文献 1 に、優先度制御とラウンドロビン制御とを組み合わせることで、I/O モジュールの重要度に対応してアクセスを許可する方式が開示されている。

【 0 0 0 5 】

また、特許文献 2 においても、優先度制御とラウンドロビン制御とを組み合わせ使用し、プロセッサごとに 2 種類の優先度を持たせ、2 種類の優先度の組み合わせによって、最優先のプロセッサを決める技術が開示されている。

【 0 0 0 6 】

また、特許文献 3 においては、優先順位が低いモジュールが、バスアクセスを拒否された時間を計測し、予め設定された時間以上バスアクセスができなかった場合には、当該モジュールに優先的にバスアクセスさせる技術が開示されている。

【 0 0 0 7 】

【特許文献 1】 特開平10-91577号公報（第 3 欄～第 1 1 欄、図 1 ～図 3 ）

【特許文献 2】 特開平4-328665号公報（第 4 頁～第 6 頁、図 1 ～図 3 ）

【特許文献 3】 特開平1-197865号公報（第 3 頁～第 5 頁、図 1 ～図 6 ）

【 0 0 0 8 】

【発明が解決しようとする課題】

一般的なラウンドロビン制御では、各 I/O モジュールの要求内容にかかわらず、要求があれば順番に受け付けるので、システム動作上の重要な要求も、命令のプリフェッチ（データの事前読み込み）のような無効になるかもしれない要求も区別していなかった。これに対し、特許文献 1 ～ 3 では、優先度を考慮した制御を併せて行う例が開示されているが、優先度の低い I/O モジュールが、全くバスアクセスできない可能性を含んでおり、バスアクセスの公平性を欠くことになる可能性があった。

## 【 0 0 0 9 】

本発明は上記のような問題点を解消するためになされたもので、バスアクセスの公平性を確保した調停回路およびデータ処理装置を提供することを目的とする。

## 【 0 0 1 0 】

## 【課題を解決するための手段】

本発明に係る請求項 1 記載の調停回路は、共有バスによって接続された複数のバスマスタからのバスアクセス要求を調停する調停回路であって、前記複数のバスマスタのそれぞれから出力される複数のプライオリティ情報を受け、前記複数のプライオリティ情報を比較し、最もプライオリティの高いマスタを特定してチェック結果を出力するプライオリティチェックブロックと、ラウンドロビンブロックとを備え、前記ラウンドロビンブロックは、ラウンドロビン制御により、前記複数のバスマスタのバスアクセス要求に対する優先順位を決定するラウンドロビン制御部と、前記優先順位に基づいて作成され、少なくとも最優先のマスタのデータについてはマスキング対象としないマスクデータを用いて、前記チェック結果のデータをマスキングしてマスク済みチェック結果として出力するラウンドロビンマスク部と、マスク済みチェック結果および前記チェック結果に基づいて、バスアクセス要求を受け付けるべきバスマスタを選択する最終選択部とを有している。

## 【 0 0 1 1 】

本発明に係る請求項 5 記載のデータ処理装置は、共有バスによって接続された複数のバスマスタのそれぞれから出力される複数のプライオリティ情報を受けて、バスアクセス要求を調停する調停回路を備えたデータ処理装置であって、前記複数のバスマスタは、それぞれのプライオリティ情報を生成するプライオリティ生成回路を備え、前記プライオリティ生成回路は、自らが付属するバスマスタのバスアクセスが受け付けられなかった場合には前記プライオリティ情報をランクアップする。

## 【 0 0 1 2 】

本発明に係る請求項 9 記載のデータ処理装置は、共有バスによって接続された

複数のバスマスタのそれぞれから出力される複数のプライオリティ情報を受けて、バスアクセス要求を調停する調停回路を備えたデータ処理装置であって、前記複数のバスマスタは、それぞれのプライオリティ情報を生成するプライオリティ生成回路を備え、前記プライオリティ生成回路は、バスマスタの動作周波数の変更の際して、複数の動作周波数のそれぞれに対応するプライオリティ情報のうちの1つを出力する。

## 【 0 0 1 3 】

本発明に係る請求項 1 3 記載のデータ処理装置は、共有バスによって接続された複数のバスマスタのそれぞれから出力される複数のプライオリティ情報を受けて、バスアクセス要求を調停する調停回路を備えたデータ処理装置であって、前記複数のバスマスタは、それぞれのプライオリティ情報を生成するプライオリティ生成回路を備え、前記プライオリティ生成回路は、バスマスタの状態の変更の際して、複数の状態のそれぞれに対応するプライオリティ情報のうちの1つを出力する。

## 【 0 0 1 4 】

## 【発明の実施の形態】

## ＜システムの全体構成＞

コンピュータシステムにおいては、バスマスタとなるCPUの他にも、バスマスタを備え、これら複数のバスマスタが共有バスで接続されている。特に最近では、複数のバスマスタとして、複数のプロセッサが共有バスで接続されたマルチプロセッサも開発されている。このように、複数のバスマスタを有するシステムでは、バスアクセス要求を調停する調停回路の機能が重要となる。

## 【 0 0 1 5 】

まず、本発明に係る調停回路を適用したデータ処理装置の1例について、全体構成を示す図1を用いて説明する。

## 【 0 0 1 6 】

図1に示すデータ処理装置100は、バスマスタとしてプロセッサP0、P1、P2およびP3の4つのプロセッサを有し、各プロセッサは1本の共有バスSBを介してメモリなどのアクセス対象物（以後、ターゲットと呼称）TGに接続

されている。

【0017】

また、プロセッサP0～P3からは、それぞれ要求RQ0、RQ1、RQ2およびRQ3（この要求を満たすには、バスへのアクセスを必要とするのでバスアクセス要求と呼称する場合もある）が出力され、当該バスアクセス要求RQ0～RQ3は、調停回路1に与えられる。

【0018】

ここで、プロセッサP0～P3からは、プライオリティ情報PR0、PR1、PR2およびPR3も出力され、調停回路1に与えられる。調停回路1では、各プロセッサのバスアクセス要求が輻輳した場合には、ラウンドロビン制御による優先順位と各プロセッサのプライオリティ情報PR0からPR3による優先順位とを組み合わせ、調停動作が実行され、プロセッサ選択信号SEを出力してバスの使用权を何れかのプロセッサに与える。

【0019】

バスの使用权を得たプロセッサの要求は、ターゲットアクセス要求TACとして調停回路1からターゲットTGに与えられ、ターゲットで処理された後、処理結果がプロセッサに返される。

【0020】

この調停回路1に本発明に係る調停回路を適用することで、バスアクセスの公平性を確保することができる。

【0021】

<A. 実施の形態1>

本発明に係る実施の形態1として、上述した調停回路1の構成および動作について説明する。

【0022】

<A-1. 装置構成>

<A-1-1. プロセッサの構成>

まず、図1に示したプロセッサP0～P3の構成例について、図2を用いて説明する。なお、プロセッサP0～P3の構成は同一であり、図2においてはプロ

セッサ P 0 を例にとって説明する。

【 0 0 2 3 】

図 2 に示すように、プロセッサ P 0 は C P U (Central Processing Unit) 1 1、MMU (Memory Management Unit) 1 2、命令キャッシュ 1 3 およびデータキャッシュ 1 4 を備え、命令キャッシュ 1 2 およびデータキャッシュ 1 4 からの要求 R Q A および R Q B は、セクタ 1 5 でどちらか一方が選択され、要求 R Q 0 として出力される。

【 0 0 2 4 】

また、プライオリティ生成回路 1 6 を備え、バスアクセス要求の出力時にはプライオリティ生成回路 1 6 で生成されたプライオリティ値をプライオリティ情報 P R 0 として同時に出力する。なお、プライオリティ生成回路 1 6 は、予め定めたソフトウェア等に基づいて、それぞれのプロセッサの優先順位に見合うプライオリティ値を生成する。

【 0 0 2 5 】

なお、図 2 に示すプロセッサ P 0 においては、プライオリティ生成回路 1 6 を 1 つ有する構成であったが、図 3 に示すプロセッサ P 0 X のように、命令キャッシュ 1 3 およびデータキャッシュ 1 4 のそれぞれにプライオリティ生成回路 1 6 が付属する構成としても良い。

【 0 0 2 6 】

すなわち、命令キャッシュ 1 3 からの要求（例えば命令フェッチ）R Q A とデータキャッシュ 1 4 からの要求（例えばデータアクセス）R Q B に対して、個別にプライオリティ情報 P R A および P R B を設定できるように構成しても良い。この場合、セクタ 1 5 1 においては、それぞれの要求を選択する際にプライオリティ情報 P R A および P R B を比較し、プライオリティが高い方の要求を選択し、要求 R Q 0 およびプライオリティ情報 P R 0 として出力する。

【 0 0 2 7 】

< A - 1 - 2 . 調停回路の構成 >

次に、図 4 ～図 6 を用いて調停回路 1 の構成について説明する。

図 4 は、調停回路 1 の構成を示すブロック図である。図 4 に示すように調停回

路 1 は、プライオリティチェックブロック 2 1 とラウンドロビンブロック 2 2 とを備えている。

## 【 0 0 2 8 】

プライオリティチェックブロック 2 1 では各プロセッサから与えられるプライオリティ情報をチェックし、優先順位が一番高いプライオリティ情報を出力しているプロセッサ、すなわち優先順位が一番高いプロセッサを見つけ、そのチェック結果CHKをラウンドロビンブロック 2 2 に向けて出力する。

## 【 0 0 2 9 】

ラウンドロビンブロック 2 2 では、前回の調停動作の結果を保持しており、プライオリティチェック結果CHKと、前回の結果とから生成したラウンドロビン順位に基づいて、プロセッサ選択信号SEを生成して出力する。

## 【 0 0 3 0 】

< A - 1 - 2 - 1 . プライオリティチェックブロック >

次に、図 5 を用いてプライオリティチェックブロック 2 1 の構成について説明する。

## 【 0 0 3 1 】

図 5 に示すようにプライオリティチェックブロック 2 1 は、プライオリティの高低をトーナメント方式で比較することで最終チェック結果を出力する構成を有し、初段チェック回路 2 1 1 および 2 1 2 と、初段チェック回路 2 1 1 および 2 1 2 の出力を受けて、さらに比較を行う、最終段チェック回路 2 1 3 を備えている。

## 【 0 0 3 2 】

初段チェック回路 2 1 1 は、それぞれ 4 ビットのプライオリティ情報PR0およびPR1を受け、プライオリティのチェック結果を、2 ビットの選択ビットSB1および4 ビットの出力プライオリティOP1として出力し、初段チェック回路 2 1 2 は、それぞれ 4 ビットのプライオリティ情報PR2およびPR3を受け、比較結果を、2 ビットの選択ビットSB2および4 ビットの出力プライオリティOP2として出力する。

## 【 0 0 3 3 】

選択ビット S B 1 および S B 2、出力プライオリティ O P 1 および O P 2 は、次段のチェック回路でもある最終段チェック回路 2 1 3 に与えられ、最終段チェック回路 2 1 3 において比較し 4 ビットのプライオリティチェック結果 C H K を出力する。

## 【 0 0 3 4 】

図 5 に示すプライオリティチェックブロック 2 1 の回路構成では、プロセッサ数の変動に対して、単純にチェック回路を追加あるいは削減すること対応することができる。例えば、プロセッサ数が 2 倍の 8 個になった場合、初段チェック回路を 2 個増設し、初段チェック回路と最終段チェック回路との間に、初段チェック回路の出力をチェックする新たなチェック回路を設けることで対処できる。

## 【 0 0 3 5 】

また、この場合、プロセッサ数の 2 倍増に対して、チェック回路の段数は、新たに加えた 1 段分が増加になるだけであるので、プライオリティチェックブロックにおける遅延時間がプロセッサ数の増加分に比例して増えるということがない。

## 【 0 0 3 6 】

プライオリティチェックブロック 2 1 の動作を、さらに具体的に説明する。プロセッサ P 0 のプライオリティ情報（数値で表されるので、以下プライオリティ値と呼称する）をプライオリティ（0）、プロセッサ P 1 のプライオリティ値をプライオリティ（1）とする。プライオリティ値は、値が小さい方が優先順位は高いものと規定すると、初段チェック回路 2 1 1 からの出力は以下の表 1 に示すようになる。なお、初段チェック回路 2 1 2 から出力される、プロセッサ P 2 および P 3 の比較結果も同様である。

## 【 0 0 3 7 】

【表 1】

(表 1)

要求 0	要求 1	プライオリティ値比較	選択ビット	出力プライオリティ
0	0	任意	2b00	
1	0	任意	2b10	プライオリティ(0)
0	1	任意	2b01	プライオリティ(1)
1	1	プライオリティ(0) > プライオリティ(1)	2b01	プライオリティ(1)
1	1	プライオリティ(0) = プライオリティ(1)	2b11	プライオリティ(0) or (1)
1	1	プライオリティ(0) < プライオリティ(1)	2b10	プライオリティ(0)

【0038】

以下、表 1 の記載に基づいて初段チェック回路 2 1 2 の動作について説明する。要求 0 および要求 1 とは、それぞれプロセッサ P 0 および P 1 からのバスアクセス要求の有無を 1 ビットで表したものであり、バスアクセス要求がない場合を 0、バスアクセス要求がある場合を 1 としている。

【0039】

プライオリティ値比較の項目において、任意とあるのは、何れのプロセッサからもバスアクセス要求がない場合、および何れか一方のプロセッサのみからバスアクセス要求があった場合には、初段チェック回路ではプライオリティ値の比較動作をしてもしなくても良いことを表している。

【0040】

すなわち、何れのプロセッサからもバスアクセス要求がない場合には、比較することに意味はなく、何れか一方のプロセッサのみからバスアクセス要求があった場合には、バスアクセス要求があったプロセッサを無条件に選択すれば良いからである。

【0041】

なお、両方のプロセッサからバスアクセス要求があった場合にはプライオリティ値の比較動作が必須であり、それぞれのプライオリティ値を比較する。

【0042】

ここで、比較結果には 3 つのパターンがある。すなわち、プライオリティ (0) がプライオリティ (1) より大きい場合、プライオリティ (0) とプライオリティ (1) とが等しい場合、プライオリティ (0) がプライオリティ (1) より



小さい場合の 3 通りである。

【 0 0 4 3 】

そして、プライオリティ値の比較結果に基づいて、2 ビットの選択ビットが決定される。

【 0 0 4 4 】

すなわち、どちらか片方のプロセッサのみが要求を出している場合は対応するプロセッサのビットを 1 とし、他方のプロセッサのビットを 0 にする。両方のプロセッサが要求を出している場合はプライオリティ値の比較結果によって選択ビットが異なる。

【 0 0 4 5 】

より具体的には、両方のプロセッサがバスアクセス要求を出さない場合は、選択ビットとして「0 0」を出力する。ここで、表 1 において「2 b 0 0」としてしているのは、2 ビットの信号であることを明示するためである。

【 0 0 4 6 】

プロセッサ P 0 のみがバスアクセス要求を出している場合は、選択ビットとして「1 0」を出力し、プロセッサ P 1 のみがバスアクセス要求を出している場合は、選択ビットとして「0 1」を出力する。

【 0 0 4 7 】

また、両方のプロセッサがバスアクセス要求を出し、プライオリティ（0）がプライオリティ（1）より大きい場合は、選択ビットとして「0 1」を出力し、プライオリティ（0）とプライオリティ（1）とが等しい場合は、選択ビットとして「1 1」を出力し、プライオリティ（0）がプライオリティ（1）より小さい場合は、選択ビットとして「1 0」を出力する。

【 0 0 4 8 】

選択ビットと共に、選択されたプロセッサのプライオリティ値が、4 ビットの出力プライオリティとして出力されるが、選択ビットが「0 0」の場合は、出力プライオリティはどのような値でも構わない。また、どちらか片方のプロセッサのみが要求を出している場合は、当該プロセッサのプライオリティ値が出力される。両方のプロセッサが要求を出している場合は、プライオリティ値の比較結果

に基づいて、優先順位の高い方、ここではプライオリティ値の小さい方のプロセッサのプライオリティ値が出力されるが、両方のプライオリティ値が等しい場合は、何れかが出力される。

## 【 0 0 4 9 】

最終段チェック回路 2 1 3 は、初段チェック回路 2 1 1 および 2 1 2 から出力される選択ビット S B 1 および S B 2 を受けて、4 つのプロセッサの優先順位の最終比較結果を、プライオリティチェック結果 C H K として出力する。

## 【 0 0 5 0 】

ここで、初段チェック回路 2 1 1 および 2 1 2 から出力される出力プライオリティを、それぞれプライオリティ ( 0 1 ) および ( 2 3 ) とし、初段チェック回路 2 1 1 および 2 1 2 から出力される選択ビットを、それぞれ Selb ( 0 1 ) および Selb ( 2 3 ) とすると、最終段チェック回路 2 1 3 からの出力は以下の表 2 に示すようになる。

## 【 0 0 5 1 】

【表 2】

( 表 2 )

Selb(01)	Selb(23)	プライオリティ値比較	最終チェック結果
2b00	2b00	任意	4b0000
2b00	2b00以外	任意	{ 2b00,Selb(23) }
2b00以外	2b00	任意	{ Selb(01),2b00 }
2b00以外	2b00以外	プライオリティ(01) > プライオリティ(23)	{ 2b00,Selb(23) }
2b00以外	2b00以外	プライオリティ(01) = プライオリティ(23)	{ Selb(01),Selb(23) }
2b00以外	2b00以外	プライオリティ(01) < プライオリティ(23)	{ Selb(01),2b00 }

## 【 0 0 5 2 】

以下、表 2 の記載に基づいて最終段チェック回路 2 1 3 の動作について説明する。最終段チェック回路 2 1 3 は、初段チェック回路 2 1 1 および 2 1 2 におけるバスアクセス要求の代わりに、まず、初段チェック回路 2 1 1 および 2 1 2 から出力される選択ビットを比較する。

## 【 0 0 5 3 】

そして、選択ビット Selb ( 0 1 ) および Selb ( 2 3 ) が、共に「 0 0 」の場合

は、プライオリティ値の比較動作は任意であり、最終チェック結果として「0 0 0 0」を出力する。ここで、表 2 において「4 b 0 0 0 0」としているのは、4 ビットの信号であることを明示するためである。

## 【 0 0 5 4 】

また、選択ビットSelb ( 0 1 ) およびSelb ( 2 3 ) の一方のみが「0 0」である場合もプライオリティ値の比較動作は任意であるが、この場合は、最終チェック結果として選択ビットSelb ( 0 1 ) およびSelb ( 2 3 ) の値を、Selb ( 0 1 ) 、Selb ( 2 3 ) の順に並べて4 ビットの値として出力する。

## 【 0 0 5 5 】

例えば、選択ビットSelb ( 0 1 ) のみが「0 0」である場合は、「2 b 0 0 , Selb ( 2 3 ) 」として出力する。ここで、「2 b 0 0 , Selb ( 2 3 ) 」は上位2 ビットが「0 0」、下位2 ビットが「Selb ( 2 3 ) 」の値となった4 ビットの値であることを示す。

## 【 0 0 5 6 】

また、選択ビットSelb ( 0 1 ) およびSelb ( 2 3 ) の両方が「0 0」でない場合には比較動作が必須であり、それぞれのプライオリティ値を比較する。

## 【 0 0 5 7 】

ここで、比較結果には3つのパターンがある。すなわち、プライオリティ ( 0 1 ) がプライオリティ ( 2 3 ) より大きい場合、プライオリティ ( 0 1 ) とプライオリティ ( 2 3 ) とが等しい場合、プライオリティ ( 0 1 ) がプライオリティ ( 2 3 ) より小さい場合の3通りである。

## 【 0 0 5 8 】

そして、最終チェック結果は、プライオリティ値の比較結果に基づいて、選択ビットSelb ( 0 1 ) およびSelb ( 2 3 ) の値を、Selb ( 0 1 ) およびSelb ( 2 3 ) の順に並べて4 ビットの値として出力される。この場合、優先順位の高い方、ここではプライオリティ値の小さい方選択ビットについてはそのまま出力されるが、プライオリティ値の大きい方の選択ビットは、「0 0」に置き換えられて出力される。

## 【 0 0 5 9 】

より具体的には、プライオリティ（０１）がプライオリティ（２３）より大きい場合は、最終チェック結果として「２ｂ００，Selb（２３）」を出力し、プライオリティ（０１）がプライオリティ（２３）より小さい場合は、最終チェック結果として「Selb（０１），２ｂ００）」を出力する。

## 【００６０】

また、プライオリティ（０１）とプライオリティ（２３）とが等しい場合は、「Selb（０１），Selb（２３）」のように、両方の選択ビットを出力する。

## 【００６１】

## ＜Ａ－１－２－２．ラウンドロビンブロック＞

次に、図６を用いてラウンドロビンブロック２２の構成について説明する。

図６に示すように、ラウンドロビンブロック２２は、ラウンドロビン制御部２２１、ラウンドロビンマスク部２２２、最終選択部２２３を備えている。

## 【００６２】

ラウンドロビン制御部２２１は、最優先プロセッサ番号生成回路２２１１と、ラウンドロビン順位保持レジスタ２２１２とを備えている。最優先プロセッサ番号生成回路２２１１では、前回の調停動作の結果に基づいて、新たな最優先プロセッサ番号PNを含むラウンドロビン順位RRを生成し、当該ラウンドロビン順位RRをラウンドロビン順位保持レジスタ２２１２に保持する。ラウンドロビン順位保持レジスタ２２１２は、調停動作のタイミングに応じて、最優先プロセッサ番号PNを出力する。

## 【００６３】

なお、最優先プロセッサ番号生成回路２２１１は、前回の調停動作によってバスアクセスが許可されたプロセッサに対しては、アクセスの優先度を最も低くするように動作する。

## 【００６４】

ラウンドロビンマスク部２２２は、ラウンドロビン制御部２２１から出力される最優先プロセッサ番号PNを受けて、所定のデータをマスクングするためのマスクデータMDを生成するマスク生成回路２２２１と、マスク生成回路２２２１から出力されるマスクデータMDと、プライオリティチェックブロック２１から

出力されるプライオリティチェック結果CHKとを受け、AND演算を行って、プライオリティチェック結果をマスクし、4ビットのマスク済みチェック結果MCHを出力するマスク回路2222とを備えている。

## 【0065】

ここで、マスクデータMDは4ビットのデータであり、その最上位ビットは、プロセッサP0に割り付けられ、残る3ビットは、プロセッサP1、P2、P3の順に割り付けられている。そして、マスクデータMDの生成にあたっては、最優先プロセッサの番号に対応したビット位置以下のビットを全て「1」とし、最優先プロセッサ以下のプロセッサのプライオリティデータについてはマスクング対象とせず、最優先プロセッサの番号に対応したビット位置より上位のビットを全て「0」とし、最優先プロセッサより上位のプライオリティデータについてはマスクング対象とするように生成される。

## 【0066】

以下の表3に、最優先プロセッサ番号に対応するマスクデータMDの一覧を示す。

## 【0067】

【表3】

(表3)

最優先プロセッサ番号	マスクデータ
プロセッサP0	4b1111
プロセッサP1	4b0111
プロセッサP2	4b0011
プロセッサP3	4b0001

## 【0068】

表3に示すように、最優先プロセッサがプロセッサP0である場合、最上位ビットがプロセッサP0に対応するので、最上位ビット以下、全てのビットに「1」が設定され（すなわち全てのプロセッサのプライオリティデータがマスクング対象とされない）、マスクデータMDは「1111」となる。同様に、最優先プロセッサがプロセッサP1である場合は、マスクデータMDは「0111」（すなわちプロセッサP1のプライオリティデータのみがマスクング対象とされる）

となり、最優先プロセッサがプロセッサP2である場合は、マスクデータMDは「0011」（すなわちプロセッサP0およびP1のプライオリティデータのみがマスクング対象とされる）に、最優先プロセッサがプロセッサP3である場合は、マスクデータMDは「0001」（すなわちプロセッサP0～P2のプライオリティデータがマスクング対象とされる）になる。

## 【0069】

ここで、ラウンドロビン制御部221で設定された最優先プロセッサがプロセッサP2であり、一方、プライオリティチェックブロック21で判定された優先度は、プロセッサP0およびP3が同じプライオリティ値で、共に最優先の場合を仮定すると、マスク回路2222では、マスクデータMDとして「0011」を受け、プライオリティチェック結果CHKとして「1001」を受ける。

## 【0070】

従って、マスク回路2222でAND演算を行うと、マスク済みチェック結果MCHは「0001」となる。

## 【0071】

マスク回路2222から出力されるマスク済みチェック結果MCHおよび、プライオリティチェックブロック21から出力されるプライオリティチェック結果CHKは、最終選択部223に与えられる。

## 【0072】

ここで、マスク済みチェック結果MCHを、最終選択部223の上位4ビットとして入力とし、下位4ビットにはプライオリティチェック結果CHKを入力する。

## 【0073】

最終選択部223は、例えばプライオリティエンコーダで構成され、入力データを上位からサーチして、一番最初に「1」がセットされた位置を見つけ出し、当該位置から要求を受け付けるべきプロセッサの番号を知得する。

## 【0074】

すなわち、4ビットのマスク済みチェック結果MCHと、4ビットのプライオリティチェック結果とを並べ、最上位ビットをプロセッサP0に割り付け、以下

、各ビットに、プロセッサ P 1、P 2、P 3 を順に割り付け、5 ビット目には再びプロセッサ P 0 を割り付け、以下、各ビットに、プロセッサ P 1、P 2、P 3 を順に割り付けるようにすると、一番最初に「1」がセットされたビット位置に対応する番号のプロセッサが、要求を受け付けるべきプロセッサ、すなわちバスアクセス権を与えるべきプロセッサということになる。

## 【0075】

例えば、プロセッサ P 1 が最優先で、プライオリティチェック結果 CHK が「0100」であり、ラウンドロビン順位が、P 2、P 3、P 0、P 1 の場合、マスクデータ MD は「0011」（プロセッサ P 2 に対応する 3 ビット目以下が全て「1」）となる。そして、マスク回路 2222 により、マスクデータ MD とプライオリティチェック結果 CHK との AND 演算を行うことで、マスク済みチェック結果 MCH として「0000」を得る。

## 【0076】

従って、最終選択部 223 への入力は、0000\_0100 となる（上位 4 ビットはマスク済みチェック結果、下位 4 ビットはプライオリティチェック結果 CHK に対応）。

## 【0077】

最終選択部 223 でのエンコード結果は、最上位から 6 ビット目において一番最初に「1」を検知し、プロセッサ P 1 が要求を受け付けるべきプロセッサとなる。

## 【0078】

調停回路 1 では要求を受け付けると、ターゲット TG へのターゲットアクセス要求 TAC を出力する。また、プロセッサ選択信号 SE で選択されたプロセッサは、要求内容を共有バス SB に出力する。ターゲット TG は、ターゲットアクセス要求 TAC がアサートされているときの共有バス SB の通信内容を受けて処理を行い、処理結果を共有バス SB を介してプロセッサに送る。

## 【0079】

## ＜A-2. 装置動作＞

図 7 に、以上説明した調停動作をとりまとめてタイミングチャートとして示す

。以下、図4～図6を参照しつつ、幾つかの代表例を用いてタイミングチャートの読み方の一例を示す。

【0080】

図7において、要求RQ0～RQ3は、信号パルスが立ち上がった状態で、バスアクセス要求を出していることを示している。また、最高順位プロセッサ番号は、プロセッサP0～P3のうち、最高順位にあるものの番号を示しており、簡単化のため0～3の数値で示している。なお、最高順位がプロセッサP0である場合、以下プロセッサP1、P2、P3の順番となり、最高順位がプロセッサP3である場合、以下プロセッサP0、P1、P2の順番となり、いわゆるラウンドロビン制御に従うので、ラウンドロビン順位と呼称する。

【0081】

また、プライオリティ情報PR0、PR1、PR2およびPR3としてのプライオリティ値は、0～15の16段階の値を採れるが、ここでは1～4の値を各プロセッサが使用するものとする。

【0082】

また、受け付けプロセッサ番号は、調停回路1による調停動作の最終結果として、バスアクセス要求を受け付けるべきプロセッサの番号を示しており、簡単化のため0～3の数値で示している。

【0083】

図7に示す期間T1においては、プロセッサP0およびP2のみがバスアクセス要求を出しており、ラウンドロビン順位は0、1、2、3であり、図6に示すマスク生成回路2221が出力するマスクデータは「1111」である。

【0084】

また、プロセッサP0のプライオリティ値は2（プライオリティ（0）＝2）であり、プロセッサP2のプライオリティ値は4（プライオリティ（2）＝4）である。

【0085】

このとき、図5に示すプライオリティチェックブロック21の初段チェック回路211におけるプロセッサP0とP1との比較結果として得られる選択ビット



Selb (01) は「10」となり、初段チェック回路212におけるプロセッサP2とP3との比較結果として得られる選択ビットSelb (23) は「10」となる。

【0086】

また、初段チェック回路211から出力される出力プライオリティは2（プライオリティ (01) = 2）、初段チェック回路212から出力される出力プライオリティは4（プライオリティ (23) = 4）となる。

【0087】

従って、最終段チェック回路213におけるプライオリティチェック結果は「1000」、ラウンドロビンマスク部2222においてマスクデータ「1111」とプライオリティチェック結果「1000」とのAND演算を行うことで、マスク済みチェック結果は「1000」となる。

【0088】

そして、図6に示すマスク回路2222から出力されるマスク済みチェック結果「1000」および、プライオリティチェックブロック21から出力されるプライオリティチェック結果「1000」は、最終選択部223に、それぞれ上位4ビット、下位4ビットの8ビットデータ（1000\_1000）として与えられる。

【0089】

そして、最終選択部223でのエンコードの結果、プロセッサP0の要求を受けることになる。

【0090】

また、期間T2においては、プロセッサP0、P2およびP3がバスアクセス要求を出しており、ラウンドロビン順位は、期間T1においてプロセッサP0のバスアクセスが受け付けられたので、図6に示す最優先プロセッサ番号生成回路2211では、ラウンドロビン制御に基づいて、ラウンドロビン順位を1、2、3、0とし、マスク生成回路2221が出力するマスクデータは「0111」となる。

【0091】

また、プロセッサ P 0 のプライオリティ値は 4（プライオリティ（0）＝4）、プロセッサ P 2 のプライオリティ値は 4（プライオリティ（2）＝4）、プロセッサ P 3 のプライオリティ値は 4（プライオリティ（3）＝4）である。このように、同じプライオリティを有するマスタが複数存在し、その他のマスタはバスアクセス要求出していないような場合は、最もプライオリティの高いマスタが複数存在すると言うことができる。

## 【 0 0 9 2 】

このとき、プライオリティチェックブロック 2 1 の初段チェック回路 2 1 1 におけるプロセッサ P 0 と P 1 との比較結果として得られる選択ビット Selb（0 1）は「1 0」となり、初段チェック回路 2 1 2 におけるプロセッサ P 2 と P 3 との比較結果として得られる選択ビット Selb（2 3）はプロセッサ P 2 および P 3 のプライオリティ値が等しいため、「1 1」となる。

## 【 0 0 9 3 】

また、初段チェック回路 2 1 1 から出力される出力プライオリティは 4（プライオリティ（0 1）＝4）、初段チェック回路 2 1 2 から出力される出力プライオリティは 4（プライオリティ（2 3）＝4）となる。

## 【 0 0 9 4 】

従って、最終段チェック回路 2 1 3 におけるプライオリティチェック結果は「1 0 1 1」、ラウンドロビンマスク部 2 2 2 2 においてマスクデータ「0 1 1 1」とプライオリティチェック結果「1 0 1 1」との AND 演算を行うことで、マスク済みチェック結果は「0 0 1 1」となる。

## 【 0 0 9 5 】

そして、マスク回路 2 2 2 2 から出力されるマスク済みチェック結果「0 0 1 1」および、プライオリティチェックブロック 2 1 から出力されるプライオリティチェック結果「1 0 1 1」は、最終選択部 2 2 3 に、それぞれ上位 4 ビット、下位 4 ビットの 8 ビットデータ（0 0 1 1\_1 0 1 1）として与えられる。

## 【 0 0 9 6 】

そして、最終選択部 2 2 3 でのエンコードの結果、プロセッサ P 2 の要求を受けることになる。

## 【 0 0 9 7 】

また、期間 T 6 においては、プロセッサ P 1 および P 2 のみがバスアクセス要求を出しており、ラウンドロビン順位は 3、0、1、2 であり、図 6 に示すマスク生成回路 2 2 2 1 が出力するマスクデータは「0 0 0 1」である。

## 【 0 0 9 8 】

また、プロセッサ P 1 のプライオリティ値は 4（プライオリティ（1）＝4）であり、プロセッサ P 2 のプライオリティ値は 4（プライオリティ（2）＝4）である。

## 【 0 0 9 9 】

このとき、図 5 に示すプライオリティチェックブロック 2 1 の初段チェック回路 2 1 1 におけるプロセッサ P 0 と P 1 との比較結果として得られる選択ビット Selb（0 1）は「0 1」となり、初段チェック回路 2 1 2 におけるプロセッサ P 2 と P 3 との比較結果として得られる選択ビット Selb（2 3）は「1 0」となる。

## 【 0 1 0 0 】

また、初段チェック回路 2 1 1 から出力される出力プライオリティは 4（プライオリティ（0 1）＝4）、初段チェック回路 2 1 2 から出力される出力プライオリティは 4（プライオリティ（2 3）＝4）となる。

## 【 0 1 0 1 】

従って、最終段チェック回路 2 1 3 におけるプライオリティチェック結果は「0 1 1 0」、ラウンドロビンマスク部 2 2 2 2 においてマスクデータ「0 0 0 1」とプライオリティチェック結果「0 1 1 0」との AND 演算を行うことで、マスク済みチェック結果は「0 0 0 0」となる。

## 【 0 1 0 2 】

そして、図 6 に示すマスク回路 2 2 2 2 から出力されるマスク済みチェック結果「0 0 0 0」および、プライオリティチェックブロック 2 1 から出力されるプライオリティチェック結果「0 1 1 0」は、最終選択部 2 2 3 に、それぞれ上位 4 ビット、下位 4 ビットの 8 ビットデータ（0 0 0 0\_0 1 1 0）として与えられる。

## 【 0 1 0 3 】

そして、最終選択部 2 2 3 でのエンコードの結果、プロセッサ P 1 の要求を受けることになる。

## 【 0 1 0 4 】

## &lt; A - 3 . 効果 &gt;

以上説明したように、本発明に係る調停回路の実施の形態 1 においては、プライオリティによる調停とラウンドロビンによる調停を組み合わせることで、優先度の高いバスアクセス要求を有するプロセッサに、優先的にバスアクセス権を与えることができるだけでなく、ラウンドロビン順位に基づいて、少なくとも最優先のプロセッサのデータについてはマスキング対象とされていないマスクデータを用いて、プライオリティ値のチェック結果のデータをマスキングすることで、幾つかのプライオリティ情報が無効になる状態を得ることができ、プライオリティ情報の影響が減殺されて、少ない回路規模でバスアクセスの公平性を確保した調停を行うことができる。

## 【 0 1 0 5 】

## &lt; B . 実施の形態 2 &gt;

以上説明した実施の形態 1 においては、図 1 に示す調停回路 1 の構成および動作について説明し、バスアクセスの公平性を確保できるという効果を奏する旨を説明したが、本発明に係る実施の形態 2 として、バスアクセスのさらなる公平性を確保する構成について説明する。

## 【 0 1 0 6 】

## &lt; B - 1 . 装置構成 &gt;

図 2 において、プロセッサ P 0 ~ P 3 内には、それぞれプライオリティ生成回路 1 6 を備えており、バスアクセス要求の出力時にはプライオリティ生成回路 1 6 で生成されたプライオリティ値をプライオリティ情報として同時に出力することを説明したが、この機能に加えて、バスアクセスが受け付けられなかった場合にはプライオリティ値をランクアップする機能を有するプライオリティ生成回路 1 6 A の構成について図 8 を用いて説明する。

## 【 0 1 0 7 】

図 8 に示すように、プライオリティ生成回路 1 6 A は、予め定めたソフトウェアに基づいて、それぞれのプロセッサの優先順位に見合うプライオリティ値を生成するプライオリティ設定レジスタ 1 6 1 と、プライオリティ設定レジスタ 1 6 1 で生成したプライオリティ値と、後に説明する新たなプライオリティ値とを比較して選択するセレクタ 1 6 2 と、セレクタ 1 6 2 で選択されたプライオリティ値を一旦保持し、所定のタイミングで外部に出力するプライオリティ出力レジスタ 1 6 3 とを備えている。図 1 に示したプライオリティ生成回路 1 6 は、このプライオリティ設定レジスタ 1 6 1 およびプライオリティ出力レジスタ 1 6 3 を備えて構成されるが、プライオリティ生成回路 1 6 A については、さらに以下の構成を備えている。

## 【 0 1 0 8 】

すなわち、図 1 に示す調停回路 1 による調停の結果、出力したプライオリティ値ではバスアクセス権を取得できなかった場合、すなわち、プロセッサの要求が受け付けられなかった場合、当該情報を取得して、現在設定しているプライオリティ値から、所定数、例えば 1 を減じて、新たなプライオリティ値を設定するプライオリティ向上回路 1 6 5 と、プライオリティ向上回路 1 6 5 が設定したプライオリティ値に制限をかける制限マスク回路 1 6 4 とを備えている。

## 【 0 1 0 9 】

そして、制限マスク回路 1 6 4 を介して、新たなプライオリティ値がセレクタ 1 6 2 に与えられ、セレクタ 1 6 2 において、新たなプライオリティ値が選択されて、プライオリティ出力レジスタ 1 6 3 に与えられる。なお、プロセッサの要求が受け付けられ、新たに次の要求を出力する場合は、プライオリティ設定レジスタ 1 6 1 の値が選択されてプライオリティ出力レジスタ 1 6 3 に与えられる。

## 【 0 1 1 0 】

また、プライオリティ向上回路 1 6 5 には、プライオリティ値の変更幅を設定するプライオリティ変更幅設定レジスタ 1 6 7 が付属している。これは、現在設定しているプライオリティ値から減じる数値の大きさを設定するもので、上記においては、その値を 1 としたが、他の値、例えば 2 や 3 に変更する場合に使用する。なお、プライオリティ変更幅設定レジスタ 1 6 7 の設定値を 0 にするとプラ

イオリティのランクアップは行われず、実施の形態 1 において説明したプライオリティ生成回路 1 6 と同じ動作となる。

【 0 1 1 1 】

なお、これまでの説明においては、プライオリティ値が小さい方が、プライオリティが高いとしたが、プライオリティ値が大きい方が、プライオリティが高いとする場合には、プライオリティ向上回路 1 6 5 では、現在設定しているプライオリティ値に所定数を加算することになり、プライオリティ変更幅設定レジスタ 1 6 7 は、当該、加算すべき所定値を設定するものとなる。

【 0 1 1 2 】

また、制限マスク回路 1 6 4 には、制限値設定レジスタ 1 6 6 が接続され、制限マスク回路 1 6 4 でのマスク値を設定する構成となっている。例えば、プライオリティ向上回路 1 6 5 においては、他のプロセッサのバスアクセス要求が受け付けられるたびに、プライオリティ出力レジスタ 1 6 3 の値を 1 ずつ減じるように動作するが、制限マスク回路 1 6 4 でのマスク値、すなわち制限値設定レジスタ 1 6 6 で設定されたマスク値（この場合、最小マスク値）を超えてデクリメントされた場合には、最小マスク値に変更する構成となっている。

【 0 1 1 3 】

この制限値設定レジスタ 1 6 6 は、図 2 に示すプロセッサ内の CPU 1 1 において、このプロセッサがどこまで優先順位を上げることができるかを示す値として設定される。

【 0 1 1 4 】

例えば、当初のプライオリティ設定レジスタで設定したプライオリティ値が 5 で、制限値設定レジスタ 1 6 6 で設定された最小マスク値が 2 である場合、要求スタート時にはプライオリティ値は 5 であるが、バスアクセス要求が受け入れられない状態が続くと、そのたびにプライオリティ値が 4、3 と減っていく。しかし、最小マスク値が 2 であるので、プライオリティ値はこれ以上下がらない、換言すればプライオリティはこれ以上向上しないということになる。

【 0 1 1 5 】

例えば、プロセッサ P 0 は最小マスク値を 0 に、その他のプロセッサは最小マ

スケジューリング値を 2 に設定しておくこと、プロセッサ P 0 以外はプライオリティ値が 2 までしか達しないので、プロセッサ P 0 のバスアクセス要求の順位は最優先となる。

【0 1 1 6】

#### ＜B-2. 装置動作＞

図 9 に、以上説明したプライオリティ値のステップアップを含めて、図 1 に示す調停回路 1 による調停動作をとりまとめてタイミングチャートとして示す。

【0 1 1 7】

図 9 においては、基本的に図 7 と同じであり、同様の条件、呼称については重複する説明は省略する。また、具体的な調停動作は実施の形態 1 で説明したものと同一であるので、各チェック結果等の記載は省略している。

【0 1 1 8】

図 9 に示す期間 T 1 においては、プロセッサ P 0 および P 2 のみがバスアクセス要求を出しており、ラウンドロビン順位は 0、1、2、3 である。また、プロセッサ P 0 のプライオリティ値は 2（プライオリティ（0）＝2）であり、プロセッサ P 2 のプライオリティ値は 5（プライオリティ（2）＝5）である。

【0 1 1 9】

この場合、調停回路 1 による調停動作の結果、受け付けプロセッサはプロセッサ P 0 となる。

【0 1 2 0】

そして、期間 T 2 においては、プロセッサ P 0、P 2 および P 3 がバスアクセス要求を出しており、ラウンドロビン順位は 1、2、3、0 である。また、プロセッサ P 0 のプライオリティ値は 4（プライオリティ（0）＝4）、プロセッサ P 3 のプライオリティ値は 4（プライオリティ（3）＝4）であり、前回バスアクセス要求が受け付けられなかったプロセッサ P 2 のプライオリティ値は 4（プライオリティ（2）＝4）にランクアップしている。

【0 1 2 1】

この場合、調停回路 1 による調停動作の結果、受け付けプロセッサはプロセッサ P 2 となる。

【0 1 2 2】

また、期間T 3においては、プロセッサP 0、P 1およびP 3がバスアクセス要求を出しており、ラウンドロビン順位は3、0、1、2である。また、プロセッサP 1のプライオリティ値は3（プライオリティ（1）＝3）であり、前回バスアクセス要求が受け付けられなかったプロセッサP 0およびP 3のプライオリティ値は3（プライオリティ（0）＝3、プライオリティ（3）＝3）にランクアップしている。

【0 1 2 3】

この場合、調停回路1による調停動作の結果、受け付けプロセッサはプロセッサP 3となる。

【0 1 2 4】

また、期間T 4においては、プロセッサP 0およびP 1のみがバスアクセス要求を出しており、ラウンドロビン順位は0、1、2、3である。また、前回バスアクセス要求が受け付けられなかったプロセッサP 0およびP 1のプライオリティ値は2（プライオリティ（0）＝2、プライオリティ（1）＝2）にランクアップしている。

【0 1 2 5】

この場合、調停回路1による調停動作の結果、受け付けプロセッサはプロセッサP 0となる。

【0 1 2 6】

#### < B - 3. 効果 >

以上説明したように、プロセッサP 0～P 3内に含まれるプライオリティ生成回路16Aが、バスアクセスが受け付けられなかった場合にはプライオリティ値を段階的にランクアップする機能を有するので、受け付けられなかったプロセッサのプライオリティを上げていくことで、優先順位の低いプロセッサの要求が受け付けられなくなることを防ぎ、より公平な調停動作が可能となって、バスアクセスのさらなる公平性を確保することができる。

【0 1 2 7】

#### < B - 4. 変形例 >

以上説明した実施の形態2においては、プロセッサP 0～P 3内に含まれるプ



ライオリティ生成回路が、バスアクセスが受け付けられなかった場合にプライオリティ値を段階的にランクアップする機能を有する構成について説明したが、プライオリティ値を変化させる構成としては、以下に変形例 1 ～ 3 として説明する構成を採るようにしても良い。

## 【 0 1 2 8 】

## &lt; B - 4 - 1 . 変形例 1 &gt;

図 1 0 にプライオリティ生成回路 1 6 B の構成を示す。図 1 0 に示すプライオリティ生成回路 1 6 B においては、複数のプライオリティ設定レジスタ 1 6 1 B と、複数のプライオリティ設定レジスタ 1 6 1 B がそれぞれ出力するプライオリティ値から、何れか 1 つを選択するセクタ 1 6 2 B と、セクタ 1 6 2 B で選択されたプライオリティ値を一旦保持し、所定のタイミングで外部に出力するプライオリティ出力レジスタ 1 6 3 とを備えている。

## 【 0 1 2 9 】

ここで、複数のプライオリティ設定レジスタ 1 6 1 B のそれぞれには、プロセッサの動作周波数を変更した場合に対応するように、異なるプライオリティ値が設定されている。

## 【 0 1 3 0 】

すなわち、プロセッサの動作周波数を規定する CPU の動作周波数は、プロセッサに与えられるクロック信号の周波数を変更することで変更が可能であり、例えば、基準クロックの 2 通倍、3 通倍、4 通倍、あるいは基準クロックの 2 分周、3 分周、4 分周のように段階的に変更することができる。

## 【 0 1 3 1 】

従って、予め、種々の動作周波数に応じたプライオリティ値を、複数のプライオリティ設定レジスタ 1 6 1 B のそれぞれに設定しておき、プロセッサの動作周波数を変更した場合には、それに応じたプライオリティ値が出力されるように、プロセッサに与えられるクロック信号の周波数に基づいてセクタ 1 6 2 B の選択動作が行われるように構成することで、動作周波数に応じた適切なプライオリティ値を出力することができる。

## 【 0 1 3 2 】

例えば、プロセッサの動作周波数を低く設定した場合、プロセッサの動作は遅くなるが、これは当該プロセッサの処理に迅速さを求めず、消費電力を低減することを目的とするような場合に施される措置である。このような場合、当該プロセッサのバスアクセス要求の優先順位はそれほど高い必要はないので、プライオリティ値は大きくて良い。

## 【 0 1 3 3 】

逆に、プロセッサの動作周波数を高く設定した場合には、当該プロセッサのバスアクセス要求の優先順位は高い方が望ましいので、プライオリティ値は小さい方が良い。

## 【 0 1 3 4 】

プライオリティ生成回路 1 6 B を採用することで、プロセッサの動作周波数に応じて、より適切なプライオリティ値を得ることができる。

## 【 0 1 3 5 】

すなわち、動作速度が遅く設定されているプロセッサに高いプライオリティを与えると、高速動作が要求されるプロセッサとの間で意味のない競合が発生し、高速動作が要求されるプロセッサのバスアクセスが阻害される可能性もあるが、上述した構成においてはこのような問題は発生しない。

## 【 0 1 3 6 】

## &lt; B - 4 - 2 . 変形例 2 &gt;

図 1 1 にプライオリティ生成回路 1 6 C の構成を示す。図 1 1 に示すプライオリティ生成回路 1 6 C においては、プロセッサの動作周波数の設定値に合わせてプライオリティ値を増減可能な構成を有している。

## 【 0 1 3 7 】

すなわち、プライオリティ生成回路 1 6 C においては、予め定めたソフトウェアに基づいて、それぞれのプロセッサの優先順位に見合うプライオリティ値を生成するプライオリティ設定レジスタ 1 6 1 と、プライオリティ設定レジスタ 1 6 1 が出力するプライオリティ値に対して、所定の値を増減してプライオリティ出力値とする増減処理回路 1 6 2 1 と、増減処理回路 1 6 2 1 が出力するプライオリティ出力値を一旦保持し、所定のタイミングで外部に出力するプライオリティ

出力レジスタ 1 6 3 とを備えている。

【 0 1 3 8 】

増減処理回路 1 6 2 1 には、プロセッサに与えられるクロック信号の周波数に合わせてプライオリティ値の増減値を設定する増減値生成回路 1 6 2 2 が付属し、増減処理回路 1 6 2 1 は増減値生成回路 1 6 2 2 が設定した増減値の分だけプライオリティ設定レジスタ 1 6 1 が出力するプライオリティ値を増減する機能を有している。

【 0 1 3 9 】

例えば、プロセッサの動作周波数が、予め定めたデフォルト値より速くなるように設定された場合、増減処理回路 1 6 2 1 では、プライオリティ設定レジスタ 1 6 1 が出力するプライオリティ値をデクリメントしてプライオリティを向上させ、逆に、プロセッサの動作周波数が、予め定めたデフォルト値より遅くなるように設定された場合、増減処理回路 1 6 2 1 では、プライオリティ設定レジスタ 1 6 1 が出力するプライオリティ値をインクリメントして、プライオリティを低下させる。増減値生成回路 1 6 2 2 では、プロセッサの動作周波数がデフォルト値から離れるほど増減幅を大きくすることができる。

【 0 1 4 0 】

なお、増減値生成回路 1 6 2 2 には増減幅設定レジスタ 1 6 2 0 が付属しており、プライオリティ値を増減する増減幅の大きさは増減幅設定レジスタ 1 6 2 0 に予め設定されている。

【 0 1 4 1 】

また、増減処理回路 1 6 2 1 とプライオリティ出力レジスタ 1 6 3 との間には、制限マスク回路 1 6 2 3 が介挿されており、増減処理回路 1 6 2 1 から出力されるプライオリティ出力値が、制限マスク回路 1 6 2 3 でのマスク値、すなわち制限値設定レジスタ 1 6 2 4 で設定されたマスク値（この場合、最小マスク値および最大マスク値）を超えて増減されている場合には、最小マスク値あるいは最大マスク値に変更する構成となっている。

【 0 1 4 2 】

例えば、クロック周波数が基準クロックを中心に 2 通倍、3 通倍、4 通倍に増

加する場合と、逆に 2 分周、3 分周、4 分周に低減する場合を想定する。この場合、デフォルト値が基準クロックに相当するものとし、このときのプライオリティ設定レジスタ 1 6 1 の設定値を 4、増減値生成回路 1 6 2 2 で設定した設定値を 2、制限値設定レジスタ 1 6 2 4 で設定された最小マスク値を 0、最大マスク値を 1 5 とすると、プライオリティ生成回路 1 6 C のプライオリティ出力値は、以下の表 4 のようになる。

【 0 1 4 3 】

【表 4】

( 表 4 )

周波数設定	プライオリティ値変更状態	出力プライオリティ値
4 通倍	プライオリティ設定レジスタ値 - 8	0
3 通倍	プライオリティ設定レジスタ値 - 4	0
2 通倍	プライオリティ設定レジスタ値 - 2	2
基準 (デフォルト)	プライオリティ設定レジスタ値	4
2 分周	プライオリティ設定レジスタ値 + 2	6
3 分周	プライオリティ設定レジスタ値 + 4	8
4 分周	プライオリティ設定レジスタ値 + 8	1 2

【 0 1 4 4 】

表 4 においては、クロック周波数が基準クロックの 2 倍、3 倍、4 倍になった場合、基準値の場合のプライオリティ設定レジスタ 1 6 1 の設定値 (すなわち 4) から、それぞれ 2、4、8 を減じることになるが、最小マスク値が 0 であるので、基準クロックの 4 倍の場合でもプライオリティ出力値は 0 である。

【 0 1 4 5 】

また、クロック周波数が基準クロックの 2 分周、3 分周、4 分周になった場合、基準値の場合のプライオリティ設定レジスタ 1 6 1 の設定値 (すなわち 4) に、それぞれ 2、4、8 を加えることになるが、最大マスク値は 1 5 であるので、基準クロックの 4 分周の場合には、プライオリティ出力値は 1 2 となる。

【 0 1 4 6 】

なお、増減値生成回路 1 6 2 2 により、プロセッサの動作周波数が、デフォルト値から離れるほど、増減幅が大きくなっている。

## 【 0 1 4 7 】

このように、プロセッサの動作周波数の変化に応じて、プライオリティ値を動的に変化させることで、プロセッサの動作周波数に応じて、より適切なプライオリティ値を得ることができる。

## 【 0 1 4 8 】

## ＜ B - 4 - 3 . 変形例 3 ＞

図 1 2 にプライオリティ生成回路 1 6 D の構成を示す。図 1 2 に示すプライオリティ生成回路 1 6 D においては、複数のプライオリティ設定レジスタ 1 6 1 B と、複数のプライオリティ設定レジスタ 1 6 1 B がそれぞれ出力するプライオリティ値から、何れか 1 つを選択するセクタ 1 6 2 C と、セクタ 1 6 2 C で選択されたプライオリティ値を一旦保持し、所定のタイミングで外部に出力するプライオリティ出力レジスタ 1 6 3 とを備えている。

## 【 0 1 4 9 】

ここで、複数のプライオリティ設定レジスタ 1 6 1 B のそれぞれには、CPU 1 1（図 2）の状態が変わった場合に対応するように、異なるプライオリティ値が設定されている。

## 【 0 1 5 0 】

ここで、対応すべき CPU 1 1 の状態には、CPU 1 1 が分岐命令を検出して分岐先の命令フェッチ要求を出している状態、CPU の命令キューが空の状態、CPU 1 1 のストアバッファがフルで次のストアが待っている状態がある。

## 【 0 1 5 1 】

CPU 1 1 が分岐先の命令フェッチ要求を出している状態においては、分岐先の命令、すなわち図 1 に示すターゲット TG からの命令をなるべく早く必要とするためプライオリティは高いことが望ましく、命令キューが空の状態においては、CPU 1 1 がターゲット TG からの次の命令を待っている状態であり、やはりプライオリティは高いことが望ましい。また、ストアバッファがフルで次のストアが待っている状態では、ストアの処理をしないとパイプライン処理が先に進まないでプライオリティは高いことが望ましい。

## 【 0 1 5 2 】

従って、CPU 11が上記各状態にある場合を想定して、複数のプライオリティ設定レジスタ161Bに、各状態に対応するように予めプライオリティ値を設定しておく。そして、CPUの状態が変化した場合には、変化後の状態に応じたプライオリティ値が出力されるように、セクタ162Cには、CPU 11の状態に関する情報が与えられるようにセクタ162CをCPU 11に接続し、CPU 11の状態に基づいてセクタ162Cの選択動作が行われるように構成することで、CPU 11の状態に応じた適切なプライオリティ値を出力することができる。

#### 【0153】

プライオリティ生成回路16Dを採用することで、CPU 11の状態に対応してより適切なプライオリティ値を得ることができる。

#### 【0154】

なお、対応すべきCPU 11の状態には、上述した3状態以外に、CPU 11がすぐに使用するデータをリードする状態などもあり、このような場合にもプライオリティは高いことが望ましく、プライオリティ設定レジスタ161Bにはこの状態に対応したプライオリティ値を設定しておく。

#### 【0155】

なお、上記においては、CPU 11の状態に応じて、より適切なプライオリティ値を選択する構成を説明したが、プロセッサ内のキャッシュの状態に合わせてプライオリティ値を設定するようにしても良い。

#### 【0156】

例えば、データキャッシュ14（図2）においてはライトバックという状態がある。ライトバックは、CPU 11がキャッシュ14にデータの書き込みをする際に、データの整合性を保つために、書き換えたキャッシュ14の内容を常に、メインメモリ（図示せず）にも書き込む動作の1つであり、CPU 11はキャッシュにデータ14を書き込み、次に、キャッシュ14が、メインメモリにデータを書き込むという2段階の動作を行う。

#### 【0157】

ライトバックにおいて、キャッシュ14が、メインメモリ（すなわち図1に示

すターゲットTG)にデータを書き込むのは、バスが空いている時間に行えば良く、プライオリティはそれほど高く設定しなくても良い。しかし、完全なデータの書き込みができず、ライトバックが失敗した場合には、再度のデータの書き込みを至急に行うことが要求される。従って、ライトバックにおける再度のデータの書き込み状態ではプライオリティは高いことが望ましく、プライオリティ設定レジスタ161Bには、この状態に対応したプライオリティ値を設定しておくことで、再度のデータの書き込みを優先的に行うことができる。

## 【0158】

なお、以上の説明においては、調停回路1による調停動作を前提としたが、調停回路1の代わりに、ラウンドロビン制御のみを行う従来の調停回路を有するデータ処理装置に上述した、プライオリティ生成回路16A～16Dを適用することによってもバスアクセスの公平性を確保することができる。さらにプライオリティ生成回路16A～16Dを組み合わせたプライオリティ生成回路を使用することも可能である。

## 【0159】

## 【発明の効果】

本発明に係る請求項1記載の調停回路によれば、プライオリティチェックブロックとラウンドロビンブロックとを備え、プライオリティによる調停とラウンドロビンによる調停を組み合わせることで、優先度の高いバスアクセス要求を有するバスマスタに、優先的にバスアクセス権を与えることができるだけでなく、ラウンドロビン順位に基づいて、少なくとも最優先のバスマスタのデータについてはマスキング対象とされていないマスクデータを用いて、チェック結果のデータをマスキングしてマスク済みチェック結果とするので、幾つかのプライオリティ情報が無効になる状態を得ることができ、プライオリティ情報の影響が減殺されて、バスアクセスの公平性を確保した調停を行うことができる。

## 【0160】

本発明に係る請求項5記載のデータ処理装置によれば、バスマスタ内のプライオリティ生成回路が、自らが付属するバスマスタのバスアクセスが受け付けられなかった場合にはプライオリティ情報をランクアップするので、受け付けられな

かったバスマスタのプライオリティを上げていくことで、優先順位の低いバスマスタの要求が受け付けられなくなることを防ぎ、より公平な調停動作が可能となって、バスアクセスのさらなる公平性を確保することができる。

【 0 1 6 1 】

本発明に係る請求項 9 記載のデータ処理装置によれば、プライオリティ生成回路が、バスマスタの動作周波数の変更に際して、複数の動作周波数のそれぞれに対応するプライオリティ情報を出力するので、バスマスタの動作周波数に応じて、より適切なプライオリティ情報を得ることができる。

【 0 1 6 2 】

本発明に係る請求項 1 3 記載のデータ処理装置によれば、プライオリティ生成回路が、バスマスタの状態の変更に際して、複数の状態のそれぞれに対応するプライオリティ情報を出力するので、バスマスタの状態に対応してより適切なプライオリティ情報を得ることができる。

【図面の簡単な説明】

【図 1】 本発明に係るデータ処理装置の全体構成を示すブロック図である。

【図 2】 プロセッサ内の構成を示すブロック図である。

【図 3】 プロセッサ内の構成を示すブロック図である。

【図 4】 本発明に係る調停回路の構成を示すブロック図である。

【図 5】 本発明に係る調停回路内のプライオリティチェックブロックの構成を示す図である。

【図 6】 本発明に係る調停回路内のラウンドロビンブロックの構成を示す図である。

【図 7】 本発明に係る調停回路の動作を説明するタイミングチャートである。

【図 8】 本発明に係るデータ処理装置内のプライオリティ生成回路の構成を示すブロック図である。

【図 9】 本発明に係るデータ処理装置内のプライオリティ生成回路の動作を説明するタイミングチャートである。



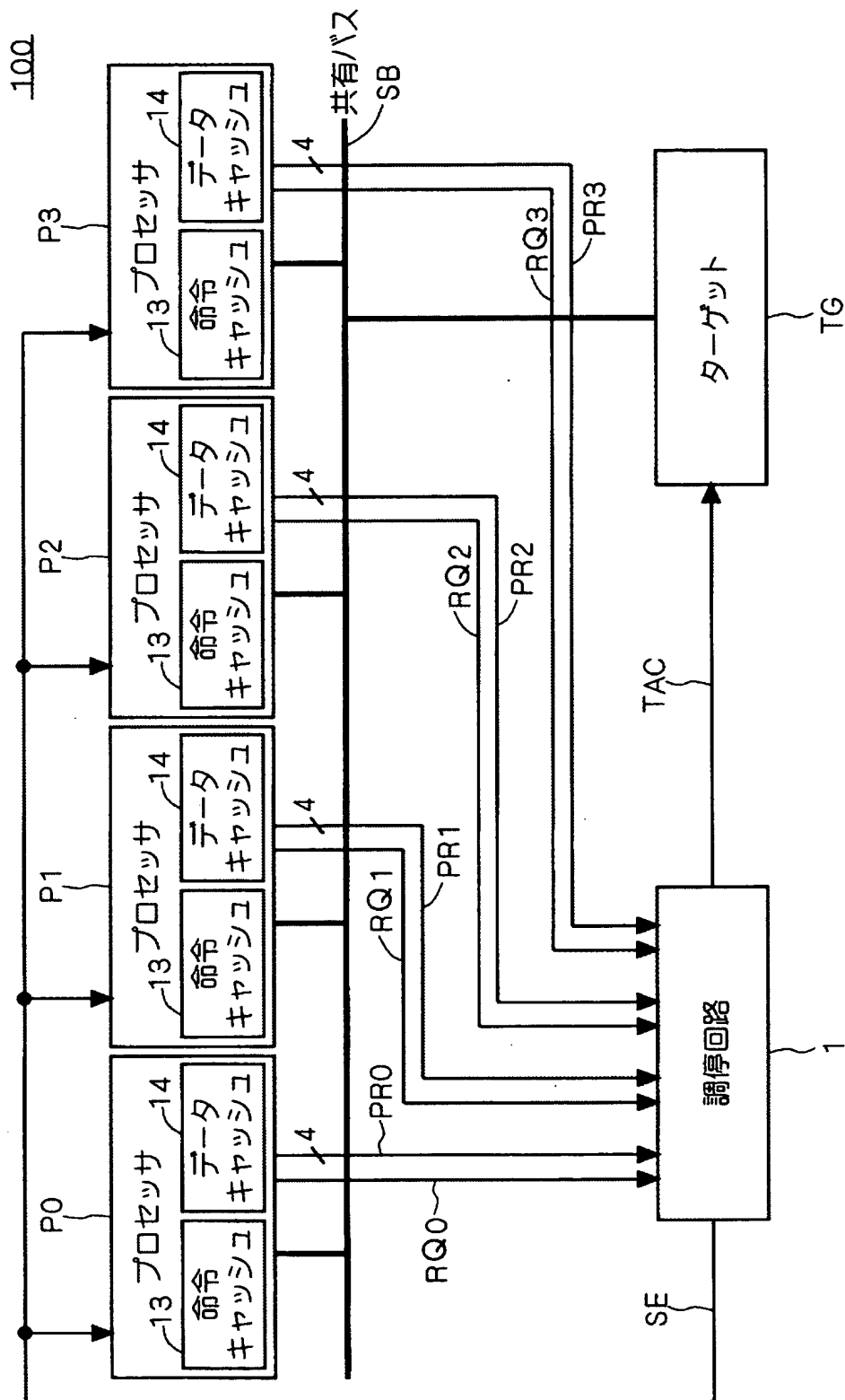
【図 1 0】 本発明に係るデータ処理装置内のプライオリティ生成回路の変形例の構成を示すブロック図である。

【図 1 1】 本発明に係るデータ処理装置内のプライオリティ生成回路の変形例の構成を示すブロック図である。

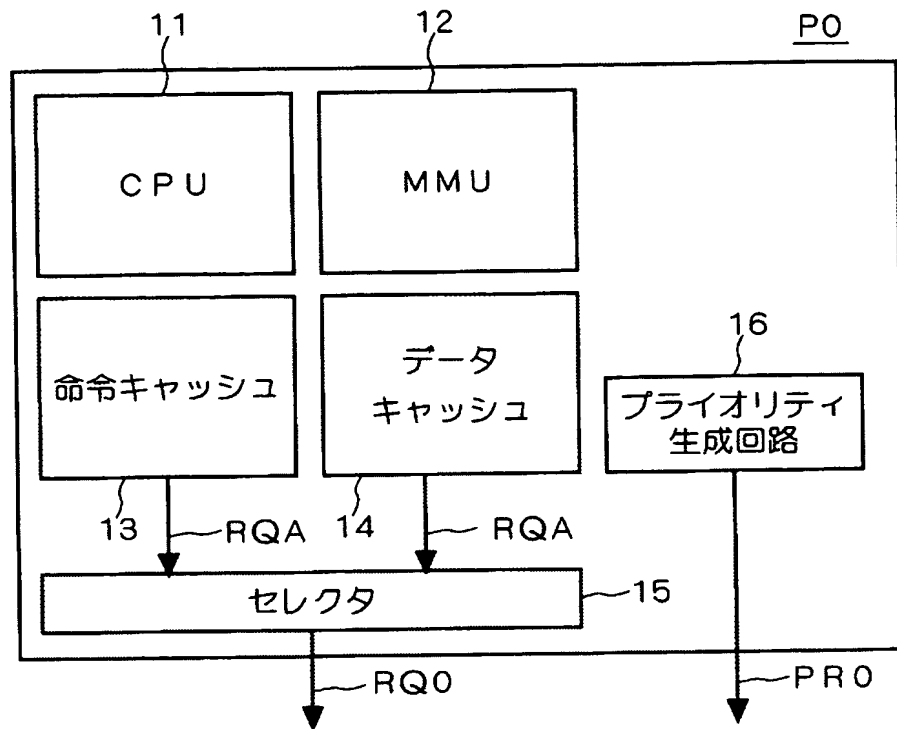
【図 1 2】 本発明に係るデータ処理装置内のプライオリティ生成回路の変形例の構成を示すブロック図である。

【書類名】 図面

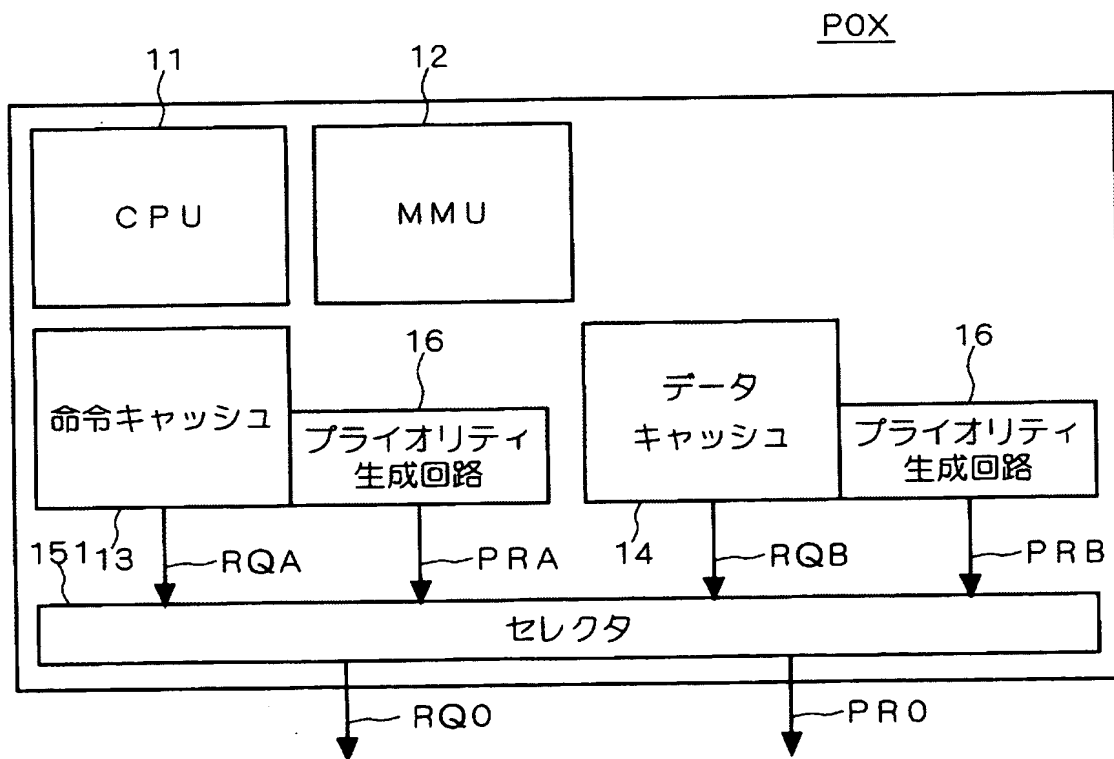
【図 1】



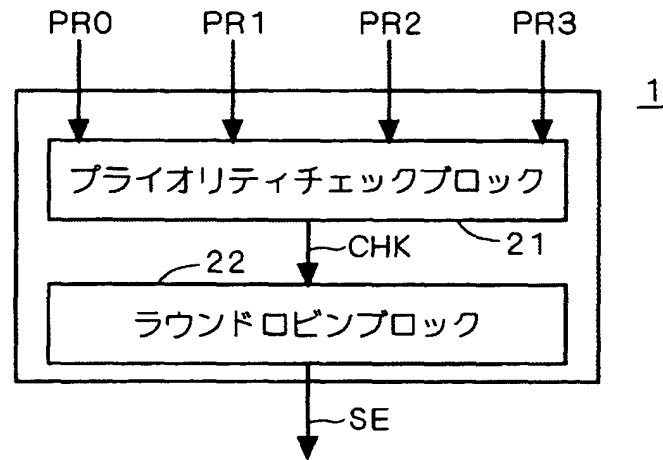
【図 2】



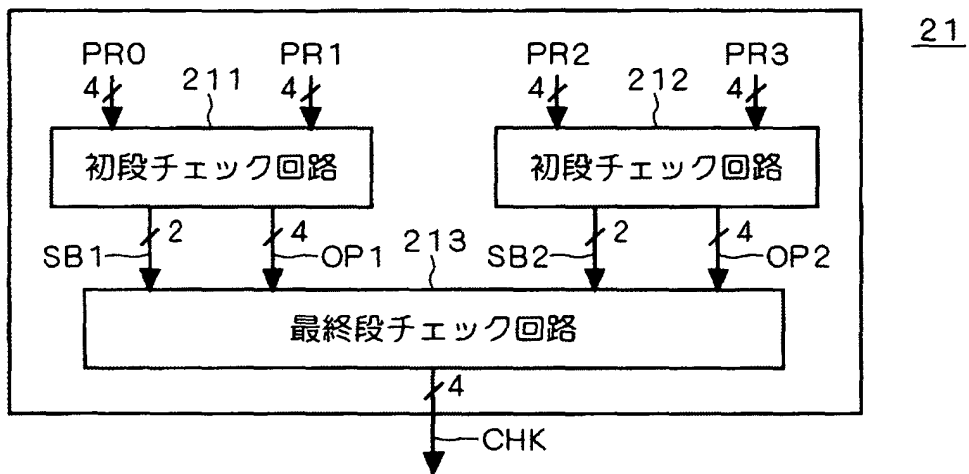
【図 3】



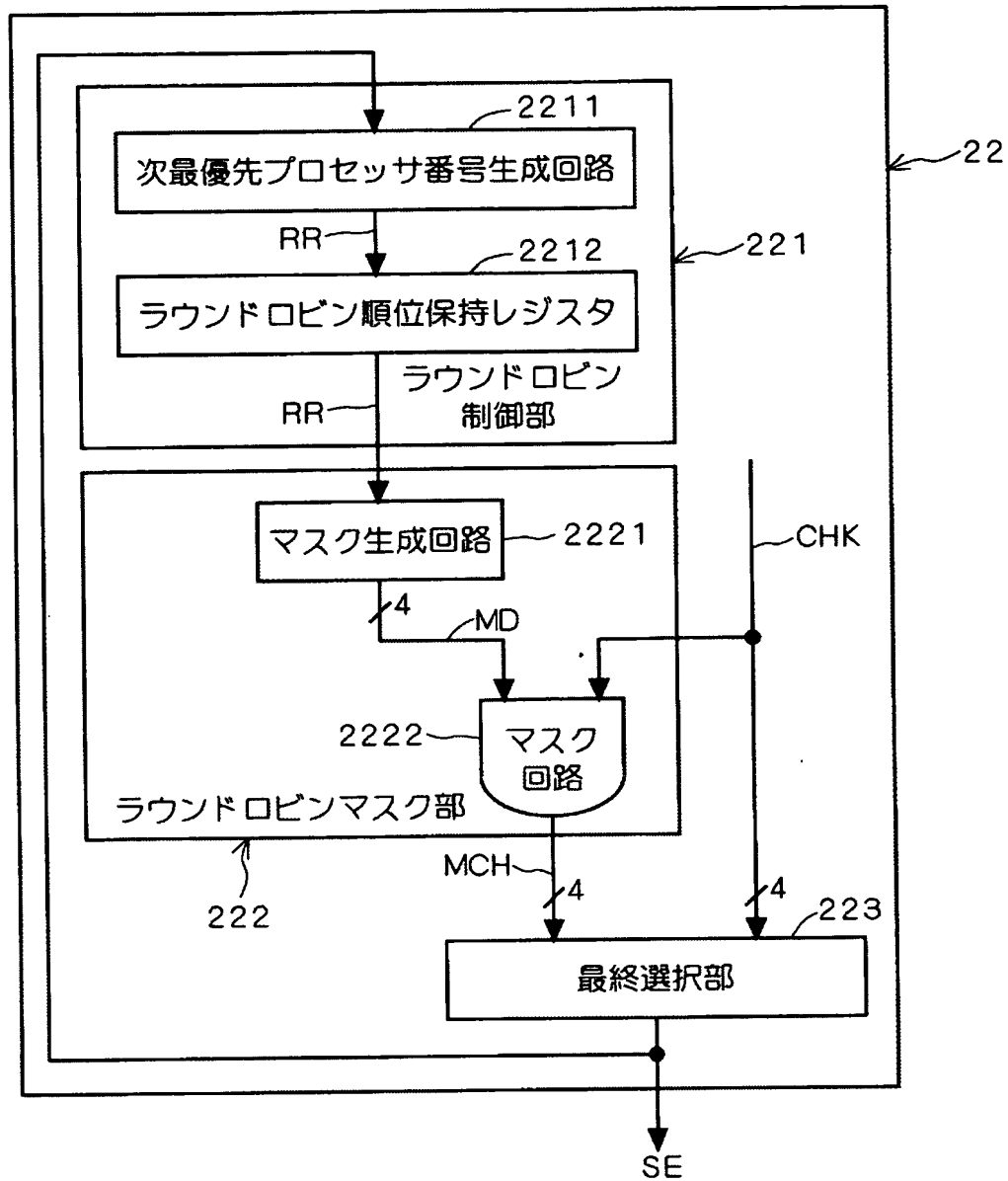
【図 4】



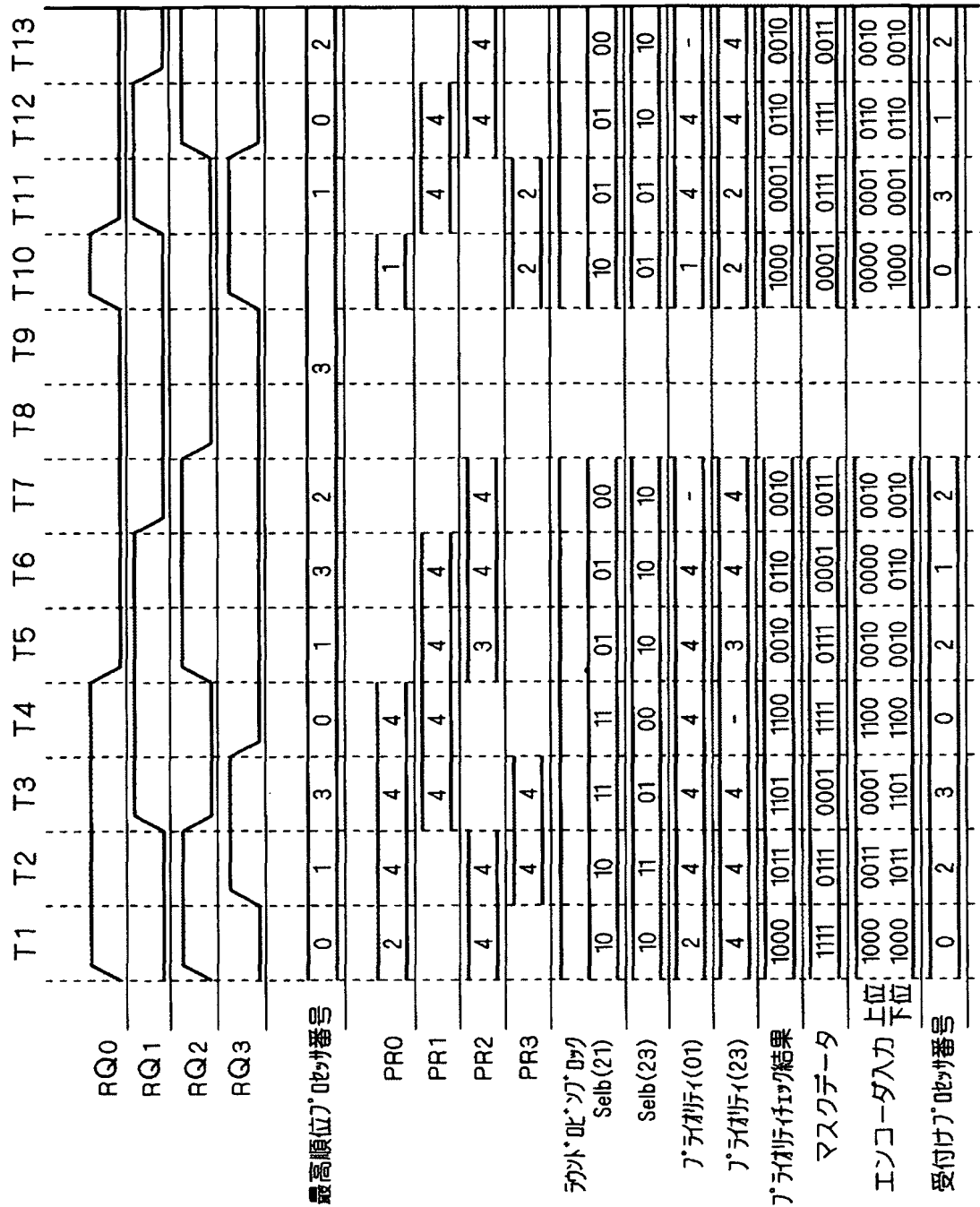
【図 5】



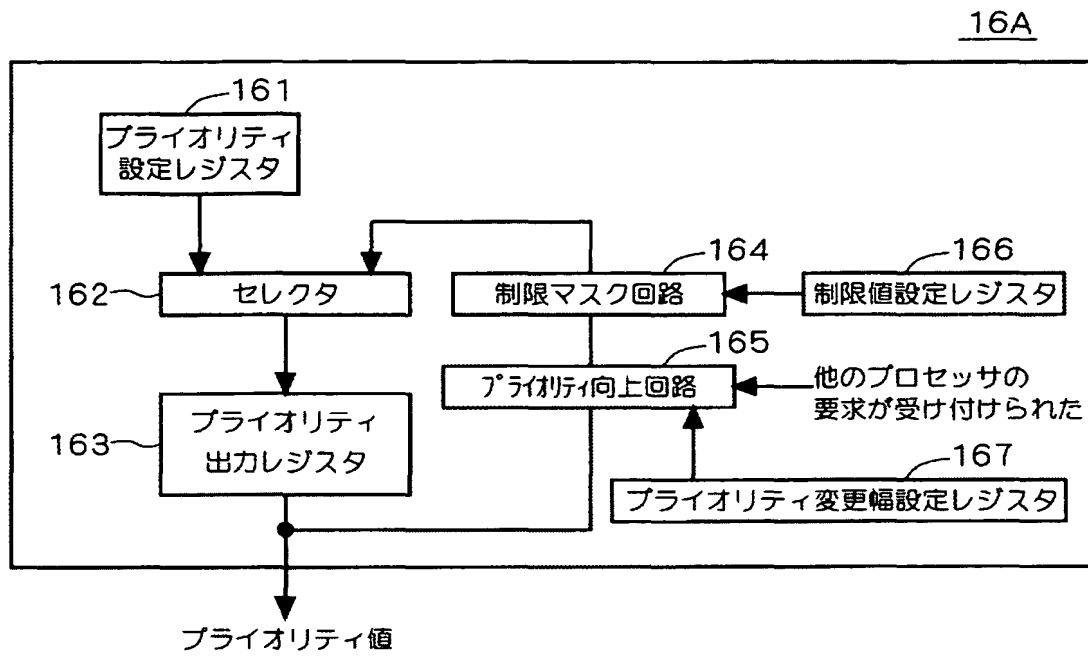
【図 6】



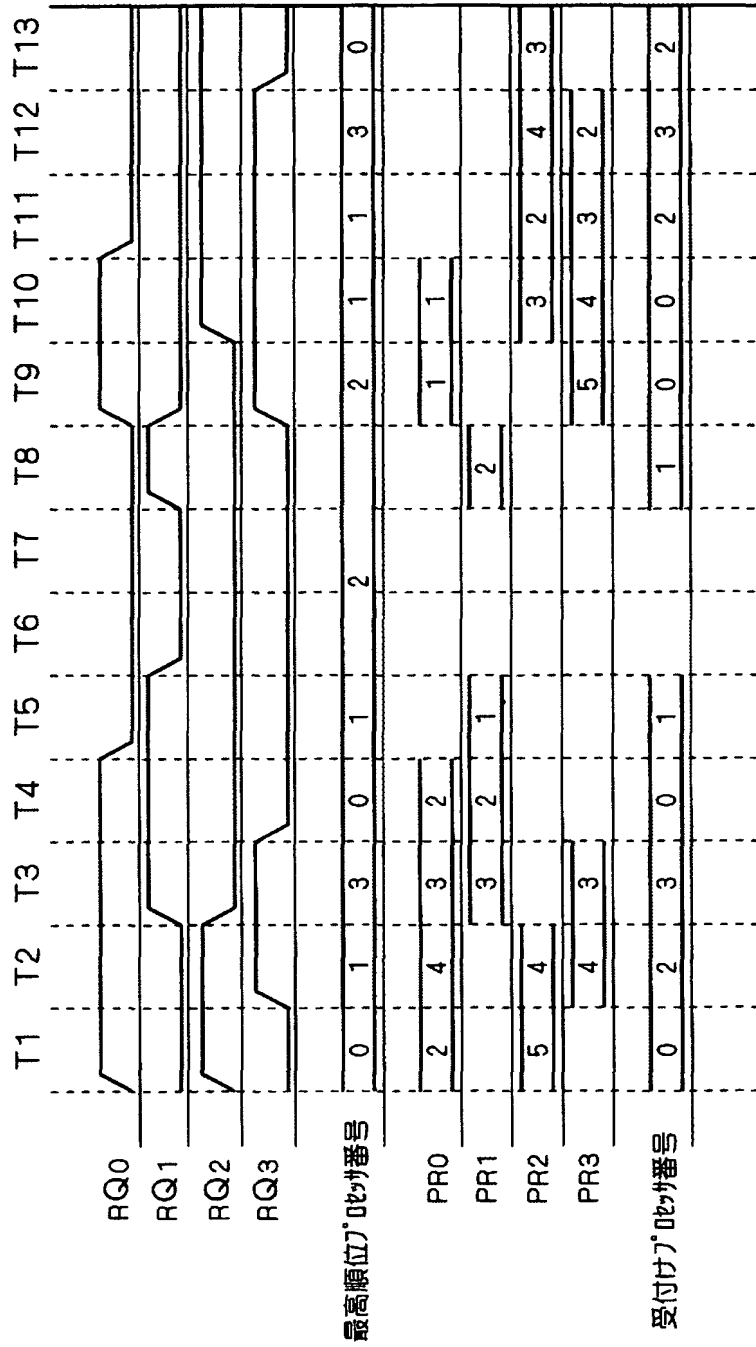
【図 7】



【図 8】

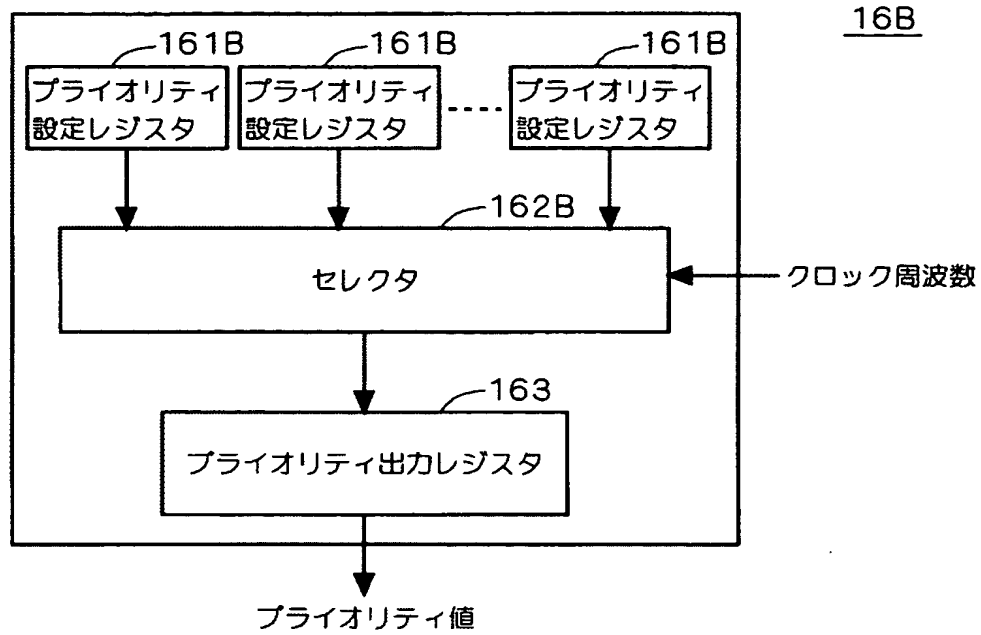


【図 9】

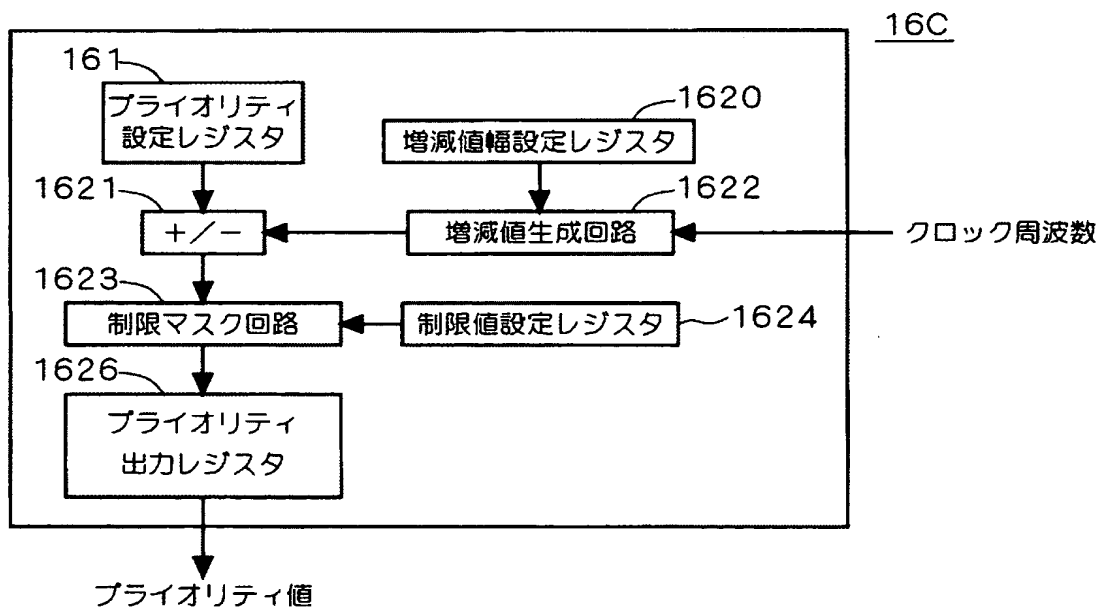




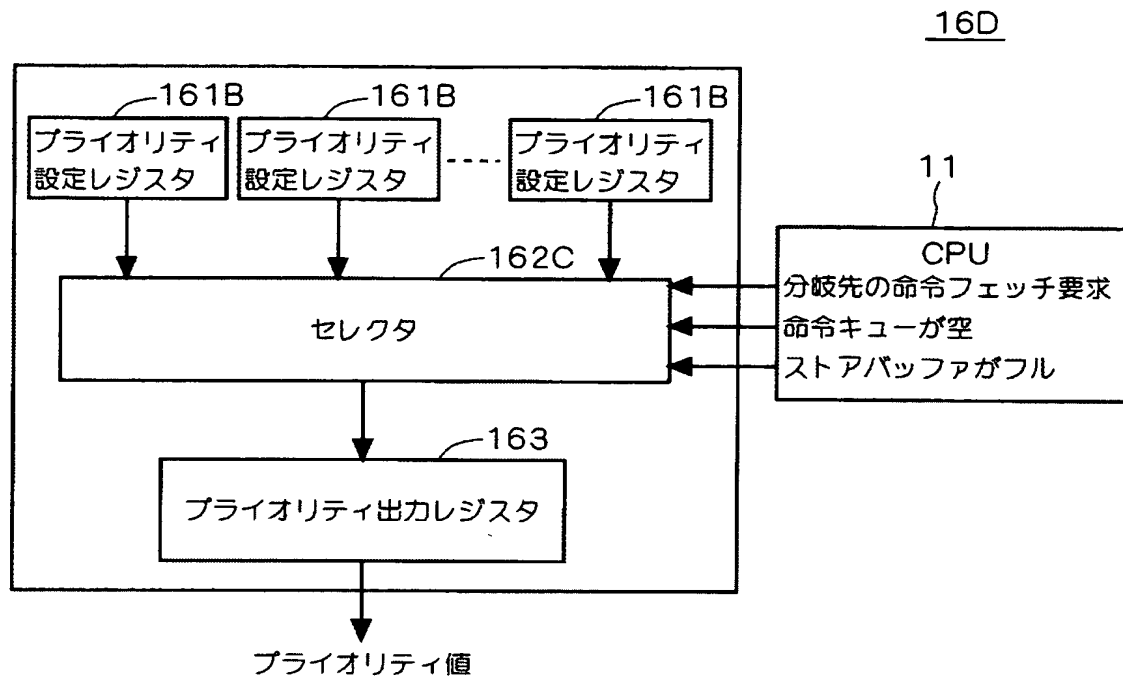
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 バスアクセスの公平性を確保した調停回路およびデータ処理装置を提供する。

【解決手段】 調停回路 1 は、プライオリティチェックブロック 2 1 とラウンドロビンブロック 2 2 とを備えている。プライオリティチェックブロック 2 1 では各プロセッサから与えられるプライオリティ情報をチェックし、優先順位の高いプライオリティ情報を出力しているプロセッサ、すなわち優先順位の高いプロセッサを見つけ、そのチェック結果 C H K をラウンドロビンブロック 2 2 に向けて出力する。ラウンドロビンブロック 2 2 では、前回の調停動作の結果を保持しており、プライオリティチェック結果 C H K と、前回の結果とから生成したラウンドロビン順位に基づいて、プロセッサ選択信号 S E を生成して出力する。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社